

③ 대한민국 특허청 (KR)
 ④ 공개 실용 신안 공보 (U)

제 716 호

⑤ InL CL
 H 01 L 21/56

⑥ 등록일자 1994. 1. 3.
 ⑦ 출원일자 1992. 6. 10.

⑧ 공개번호 94-1979

⑨ 출원번호 92-10286

심사청구: 없음

⑩ 고안자 박준수 서울특별시 강남구 역삼동 현대빌라 107-202

⑪ 출원인 금성일렉트론 주식회사 대표이사 문경환

충청북도 청주시 흥정동 50번지

⑫ 대리인 변리사 박창원

(전 2면)

⑬ 반도체 패키지

⑭ 요약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서, 반도체 칩이 부착 고정되는 리드 프레임의 패들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드프레임의 상부쪽은 예특시 몰딩 퀼파운드로 몰딩하여 구성한 것이다.

즉 리드프레임을 기준한 상부쪽은 예특시 몰딩 퀼파운드로 몰딩하고 하부쪽은 패들로서 인텔리미션 역할을 하도록 함으로써 패키지의 전체적인 두께를 보다 짧게하여 경박단소화에 기여하고, 신장을 보다 높일 수 있다는 효과와 아울러 포인트성이 저거되는 등 저조공정이 단순화되며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

실용신안 등록청구의 범위

1. 「안도체 케이지 구조에 있어서, 안도체 칩(11)이 부착 고정되는 티드 프레임의 케톤(12)가 상기 친(11)이
와이어 편딩되는 다수개의 외부연결 티드(13)가 케이지의 저면으로 노출되도록 티드 프레임의 상부측면에 풀-리
풀딩 점퍼온드(14)도 풀딩하여 구성을 확장으로 하는 안도체 케이지.」

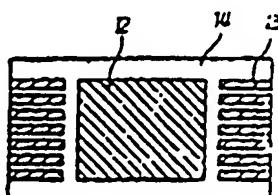
2. 케이팅에 있어서, 상기 리드 프레임은 그의 쇄들(12)과 외부연결 리드(13)가 수평상태로 형성되거나, 또는 쇄들(12)을 들어올린 업-셋구조로 형성됨을 특징으로 하는 인도체 기기지.

☞ 참고사항: 최초승인 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 도면으로서, 제3도는 32도의 거연도, 제4도는 본 고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제35



四

